

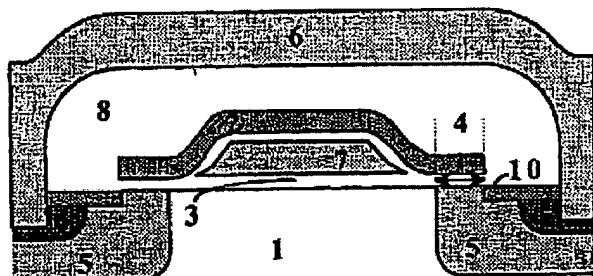
Power semiconductor component with reduced Miller capacitance such as IGBT or MOSFET in current rectifier, half-bridges, and switches

Patent number: DE19905421
Publication date: 2000-08-24
Inventor: MOURICK PAUL (DE)
Applicant: SEMIKRON ELEKTRONIK GMBH (DE)
Classification:
- **international:** H01L29/78; H01L29/739
- **european:** H01L29/06B2B2; H01L29/417D4; H01L29/423D2B4;
H01L29/423D2B4B; H01L29/423D2B6B;
H01L29/423D2B7B; H01L29/78B2B; H01L29/78B2B2
Application number: DE19991005421 19990210
Priority number(s): DE19991005421 19990210

[Report a data error here](#)

Abstract of DE19905421

The component has a substrate region (1) of first conductivity with a vertical MOS structure in each work cell, in which are located gate structures of strip, island, or grid shape with a gate insulator (3) on all sides towards Si. They are covered by an emitter metallising layer (6). The gate structures are spaced and decoupled from the substrate region capacitively and/or the gate structures in the individual component cells are limited to regions above the P-layer by reduction of their surface mass. No gate structure is provided above the N-region.



Data supplied from the [esp@cenet](#) database - Worldwide

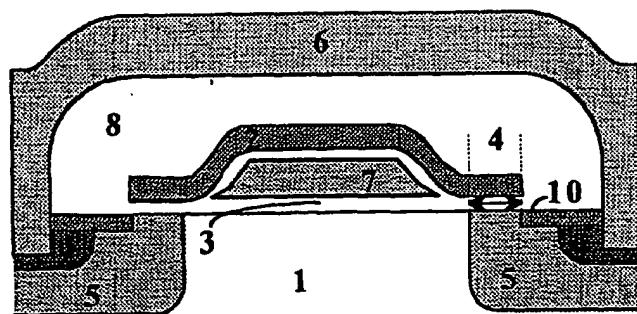
BEST AVAILABLE COPY



⑯ Anmelder:
Semikron Elektronik GmbH, 90431 Nürnberg, DE

⑯ Erfinder:
Mourick, Paul, Dr., 90766 Fürth, DE

⑯ Aktenzeichen: 199 05 421.5
⑯ Anmeldetag: 10. 2. 1999
⑯ Offenlegungstag: 24. 8. 2000



Die Erfindung beschreibt ein Leistungshalbleiterbauelement als schnellen Leistungsschalter mit reduzierter Millerkapazität, wie sie als IGBT (Insulated-Gate-Bipolar-Transistor) oder als MOSFET nach dem Oberbegriff des Anspruches 1 genannt sind.

Bei Einsatz von Transistorschaltern aus jüngerer Entwicklung mit hohen Schaltgeschwindigkeiten und hoher Spannungsbelastbarkeit können Streuinduktivitäten und interne Kapazitäten zu Störungen während der Schaltvorgänge führen, was unter Umständen zum Ausfallen der Schaltungsanordnung führen kann, wenn nicht Abstriche in der Leistungsanforderung gemacht werden oder wenn nicht in genügender Weise parasitäre Streugrößen beachtet bzw. reduziert werden.

Zumindest wird die Höchstleistung von Schaltungsanordnungen gemindert, wenn nicht alle Faktoren zur Reduzierung der bei ihrem Betrieb auftretenden Streuparameter konstruktiv so berücksichtigt worden sind, daß ein Minimum der parasitären Induktivitäten und Kapazitäten angestrebt worden ist.

Die funktionelle Aufgabe interner Verschaltungen liegt sowohl in der Verbesserung der elektrischen Parameter der Leistungsschalter als auch in der Ansteuerung und Überwachung bei Einsatz in Schaltungsanordnungen. Die Leistungsfähigkeit und Schaltgeschwindigkeiten lassen sich durch gezielte Konstruktionen erhöhen. Dabei ist eine immer weitergehende in die Schaltung eingebaute Überwachung der Betriebsparameter erforderlich. Bei Beachtung aller Streuparameter und einer entsprechenden konstruktiven Veränderung der Halbleiterschalter zur Minimierung der nicht gewollten parasitären Effekte kann die Leistungsfähigkeit der Halbleiterschalter erhöht und die erforderliche Treiberleistung reduziert werden.

Mit der Zunahme der Schaltgeschwindigkeiten moderner neuartiger Leistungsschalter (IGBT und MOSFET) werden immer größere Werte der zeitlichen Spannungsänderung $\frac{du}{dt}$ im Schaltprozeß von Halbbrücken erreicht. Das bewirkt gleichzeitig eine Vergrößerung der Störungen durch Spannungsspitzen am Gate durch die Millerkapazität, die in der Schaltphase sogar die Thresholdspannung übersteigen kann, was kurzzeitig Querströme in Leistungsschaltern von Halbbrücken und damit eine Vergrößerung der Verlustleistung bewirkt, was wiederum bis hin zur Zerstörung der Schaltungsanordnung führen kann.

Zur Vermeidung von Gatespannungsspitzen oberhalb der Thresholdspannung wird aus vorgenanntem Grund in Schaltungsanordnungen mit IGBT-Leistungsschaltern eine negative Vorspannung am Gate beaufschlagt. Eine solche Vorsorge kann bei MOSFET-Schaltern im Prinzip zwar auch realisiert werden, besitzt aber den Nachteil, daß die integrierten Rückarbeitsdioden snappig werden. In der Praxis ist bei sehr schnellen Schaltvorgängen somit mit Querströmen zu rechnen, wenn keine negative Gatespannung verwendet wird.

Fig. 1 stellt in Diagrammform den möglichen Querstrom dar. Am Beispiel eines IGBT in einer Halbbrückenschaltung wird diese Problematik erläutert. Der Einfluß eines hohen Wertes von $\frac{du}{dt}$ am Wechselstromausgang bewirkt wegen der Millerkapazität ein Anheben der Gatespannung, was einen kurzzeitigen Stromfluß auslöst.

Übersteigt die Gatespannung die Einschaltschwelle $V_{ge(th)}$ des Leistungsschalters, dann beginnt der Leistungsschalter einen Strom zu führen. Dieser Strom wird in Halbbrücken Querstrom genannt und kann zu außerordentlich großen Zusatzverlusten in den Leistungsschaltern führen. Durch eine ausreichend negative Gatevorspannung kann

verhindert werden, daß die Gatespannung bis zu der Schwelle $V_{ge(th)}$ angehoben wird. In vielen Fällen ist aber eine negative Gatespannung auch aus Kostengründen unerwünscht.

Bei MOSFET-Schaltern wird die vorhandene parasitäre Rückarbeitsdiode bei negativer Gatespannung snappig. Zusätzlich sind insbesondere bei MOSFET kleinere Werte für $V_{ge(th)}$ gegeben. Hierdurch wird die Problematik der $\frac{du}{dt}$ -Empfindlichkeit der Gates noch erhöht. Einen guten Ansatz, die Millerkapazität zu verringern, findet sich bei den in jüngerer Zeit entwickelten Trench-Technologien.

Am Wechselstromausgang einer Halbbrücke treten beim Schalten schneller Leistungsschalter sehr hohe $\frac{du}{dt}$ -Werte auf. Diese hohen $\frac{du}{dt}$ -Werte stören die Gates auf Grund der Millerkapazitäten. Die Höhe dieser $\frac{du}{dt}$ -Störung auf das Gate hängt weiterhin von der zwischen Gate und Emitter positionierten parasitären Kapazität C_{ge} und von dem Auschaltwiderstand R_{off} ab. R_{off} ist dabei der Widerstand, der beim Abschaltvorgang das Gate entlädt. R_{off} bestimmt die Abschaltgeschwindigkeit. Der Wert von R_{off} kann nicht beliebig klein gewählt werden, weil sonst insbesondere bei Kurzschlußabschaltungen zu große Überspannungen am IGBT entstehen können, die zur Zerstörung der Leistungsschalter führen.

Fig. 2 zeigt einen Ausschnitt aus dem Ersatzschaltbild eines IGBTs zur Erläuterung der Millerkapazität. Als Einzelbaustein einer Schaltungsanordnung ist die Millerkapazität nicht existent, sie besteht aus mehreren kapazitiven Komponenten, die hier zusammengefaßt wurden. Die Millerkapazität, wie auch der modulierte Basiswiderstand R_b der Mittelzone (n-Gebiet) und die parasitäre Kapazität C_{ge} zwischen Gate und Emitter sind konstruktionsbedingte "Elemente" und als solche in der Berechnung und Dimensionierung einer jeden Schaltungsanordnung zu berücksichtigen.

Die Rückwirkung der Ladungsträger des unter dem Gate befindlichen n-Gebietes auf die Gatefläche in Form eines Teiles der Millerkapazität wird neben anderen Faktoren durch die Isolationschichtdicke unter dem Gatekontakt bestimmt. Diese Rückwirkung wird größer, wenn das Gateoxid in diesem Bereich sehr dünn ist.

Die vorliegende Erfindung hat sich die Aufgabe gestellt, die Millerkapazität dadurch zu minimieren, daß insbesondere die Ladungsträger im n-Gebiet zwischen den beiden n-Kanälen nicht mehr in dem nach dem Stand der Technik bekannten Maße auf das Gate rückwirken können, um damit deren negative Wirkung bei schnellen Leistungsschaltern zu eliminieren.

Die Aufgabe wird durch den kennzeichnenden Teil des Anspruches 1 gelöst, bevorzugte Lösungsvarianten sind in den Unteransprüchen dargestellt.

Ausgehend von der Kenntnis, daß die Millerkapazität eine in der Konstruktion des schnellen Leistungshalbleiterbauelementes liegende parasitäre Gegebenheit darstellt, ist es nur möglich, die Konstruktion so zu verändern, daß diese, die schnellen Leistungsschalter störende Größe, beseitigt oder aber mindestens in deren Wert deutlich verringert und damit in ihrer parasitären Wirkung minimiert wird.

Grundlage der Darstellung der Erfindung sind die nachfolgenden Figuren:

Fig. 1 stellt in Diagrammform den möglichen Querstrom dar.

Fig. 2 zeigt einen Ausschnitt aus dem Ersatzschaltbild eines IGBTs.

Fig. 3 zeigt Gategestaltungen einer Bauelementezelle nach dem Stand der Technik.

Fig. 4 skizziert mögliche Varianten der Reduzierung der Millerkapazität.

Fig. 5 skizziert einen erforderlichen Lösungsvorschlag

zur Reduzierung der Millerkapazität.

Fig. 3 zeigt Gategestaltungen für Bauelementezelle nach dem Stand der Technik. In einer Skizze ist eine IGBT-Zelle im Gatebereich im Querschnitt des Halbleiteroberflächenbereiches dargestellt. Die konventionelle Aufbauweise nach Fig. 3a beinhaltet ein dünnes Gateoxid (3) zwischen dem n-Gebiet (1) und der Gatefläche (2). In den Randbereichen ist die p-Schicht (5) unter dem Gatekanal (4) und die p⁺-Schicht (9), wie auch die Ausbildung des Emitters in diesem Bereich mit dem n⁺-Gebiet (10) und der Emitterkontaktebeschichtung (6) dargestellt. Das Feldoxid (8) oberhalb der Gatefläche (2) ist skizziert.

In Fig. 3b ist das Gateoxid (3) unter der Gatekontaktfläche (2), die in Opposition zu dem n-Gebiet (1) liegt, wesentlich verstärkt. Eine solche Ausführungsform bewirkt eine wesentlich kleinere Millerkapazität gegenüber solchen Zellen, wie eine davon in Fig. 3a dargestellt ist.

Diese Technologie ist aus dem Stand der Technik bekannt. Das ergibt bereits bei einer solchen partiellen Schichtdickerweiterung des Gateoxids (3) eine deutliche Senkung der Gateüberspannung, die durch den du/dr -Einfluß bedingt ist. In einigen Einsatzgebieten mag diese Lösung mit einem partiell dickeren Gateoxid zwischen den beiden n-Kanälen (4) daher ausreichend sein.

Zwei unterschiedliche Einflußbereiche der Millerkapazität sollen hier noch erwähnt werden:

1. Der bereits genannte Effekt bei hohen du/dr -Werten:

Bei sehr hohen du/dr -Werten und insbesondere bei einem großen Spannungshub (hohe Zwischenkreisspannung) kann das abgeschaltete Leistungsbauelement durch Anheben der Gatespannung über $V_{ge(th)}$ parasitär einschalten.

2. Im eingeschalteten Zustand des Leistungsbauelementes ergibt sich eine Ansammlung von Ladungsträgern direkt unter dem Gate im n-Gebiet.

Bei einem Kurzschluß mit anschließendem Anstieg der Spannung V_{ce} über dem Leistungsschalter wird auch die Gatespannung angehoben. Die Spannungsänderung du/dr ist hier zwar nicht so groß, aber in diesem Fall ist die Millerkapazität sehr groß.

Die Folge ist, daß durch die angehobene Gatespannung ein weit höherer Kurzschlußstrom durch das Bauelement fließen wird, als das im "stationären" Kurzschlußfall mit angelegter Nennspannung der Fall ist.

Beide vorgenannten negativ wirkenden Effekte der Millerkapazität lassen sich mit der erforderlichen Lösung der Gestaltung dieses Bauelementebereiches stark reduzieren und damit negative Auswirkungen auf die Schaltungsanordnung eliminieren.

Fig. 4 skizziert mögliche Varianten zur Reduzierung des Millerkapazität. Fig. 4a zeigt eine Reduzierung der Gatefläche (2) in dem Bereich über dem n-Gebiet (1). Die geringere Gatefläche (2) stellt hier nur noch eine Umrandung der Arbeitszelle dar und ist somit eine wesentliche Verkleinerung der möglichen kapazitiv aufladbaren Elektrode. Technologisch ist eine solche Variante leicht mit einer geänderten Strukturierungsmaske für das Gate zu lösen.

Fig. 4b zeigt eine weitere Möglichkeit, die Millerkapazität zu senken. Hier wird zusätzlich zu der Maßnahme nach Fig. 4a durch Veränderung einer Oxidmaske technologisch über das n-Gebiet (1) jeder Zelle ein von dem n-Gebiet nur durch ein dünnes Oxid (3) isoliertes Metall, die Emittermetallisierung (6), aufgebracht. Damit entfällt der kapazitive Einfluß auf das Gate. Die kapazitiven Ströme der Raumladungszone fließen direkt in den Emitter ab.

Die Fig. 4c und 4d zeigen schließlich Varianten des Redu-

zierens von Millerkapazitäten in Trench-Strukturen. Die Ausbildung solcher Gatestruktionen in MOSFET oder IGBT sorgen für minimierte Millerkapazitäten in solcherart Halbleiterbauelementen.

5 In Fig. 4d wurde die Trenchstruktur in der Tiefe (11) vergrößert. Relativ zu Fig. 4c ist die Gatestruktur gleich geblieben. Durch diese Konstruktion entsteht ein größerer Abstand zu dem n-Gebiet und damit wird der Einfluß der Ladungsträger aus dem n-Gebiet auf das Gate verringert, was eine Verkleinerung der Millerkapazität zur Folge hat.

Fig. 5 stellt eine interessante Variante der Senkung der Millerkapazität dar. In den Zellen wird über dem n-Gebiet (1) oberhalb des Gateoxids (3) eine zusätzliche leitende Schicht (7), beispielhaft aus Polysilizium aufgebaut, die mit der Emittermetallisierung (6) über einen ohmschen Kontakt verbunden wird. Somit können sich keine kapazitiven Ströme im Gate (2) ausbilden, denn diese werden, analog wie zu Fig. 4b ausgeführt, direkt zum Emitter abgeleitet. Die Anbindung dieser beispielhaften zusätzlichen Polysiliziumschicht (7) kann durch zusätzliche partielle Kontaktflächen durch das Gate hindurchgeführt werden.

Erwähnt werden soll hier jedoch auch, daß bei den erforderlichen Strukturen eine Vergrößerung der Gate-Emitter-Kapazitäten (C_{ge}) auftreten kann. Zur Nutzung der Vorteile minimierter Millerkapazitäten sind aber solche höheren Werte kein Nachteil, da die gesamte Gateladung, die zum Schalten erforderlich ist, durch die erforderlichen Maßnahmen reduziert wird.

Die erforderliche Lösung ist insbesondere für Schaltungsanordnungen auf der Basis moderner Leistungshalbleiterbauelemente mit hoher Spannungsfestigkeit und schnellem Schaltvermögen zur Sicherung stabiler Betriebsweisen erforderlich. Die erforderlichen Lösungen zur Minimierung der Millerkapazität stellen in gleicher Weise eine sehr sinnvolle Ergänzung und Bereicherung der erforderlichen Bauelementenvielfalt dar, um für die große Einsatzvielfalt von Schalttransistoren über entsprechend speziell optimierte Halbleiterbauelemente zu verfügen.

Patentansprüche

1. Leistungshalbleiterbauelement in Form von IGBT oder MOSFET mit einem Substratgebiet des ersten Leitungstyps (1), mit einer vertikalen MOS-Struktur in jeder Arbeitszelle, mit darin streifen-, insel- oder gitterförmig angeordneten Gatestrukturen (2), die allseitig zum Silizium hin mit einem Gateisolator (3) versehen und mit einer Emittermetallisierungsschicht (6) abgedeckt sind, dadurch gekennzeichnet, daß die Gatestrukturen (2) kapazitiv von dem Substratgebiet des ersten Leitungstyps (1) beabstandet und entkoppelt und/oder die Gatestrukturen (2) in den einzelnen Bauelementezellen durch Reduzierung ihrer Flächenmaße auf die Bereiche oberhalb der p-Schicht begrenzt sind.

2. Leistungshalbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Gatestrukturen (2) in den einzelnen Bauelementezellen ausschließlich im Randbereich, oberhalb der p-Schicht ausgebildet sind, während direkt über jedem n-Gebiet (1) keine Gatestruktur vorhanden ist.

3. Leistungshalbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß in der Verstärkung der Gateoxidschicht (3) eine leitende Schicht (7) eingebettet ist, die durch einen ohmschen Kontakt mit der Emitterkontaktebeschichtung (6) verbunden ist.

4. Leistungshalbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß bei Trench-Gate-IGBT-Strukturen in den Wannengebieten (11) leitende

Schichten als Gategebiete (2) in unmittelbarer Nähe der p-Schichten (5), von die durch eine dünne Oxidschicht (3) elektrisch getrennt, ausgebildet sind und die kapazitiven Ströme der Millerkapazität direkt über die Emittermetallisierung abgeleitet werden.

5

Hierzu 3 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

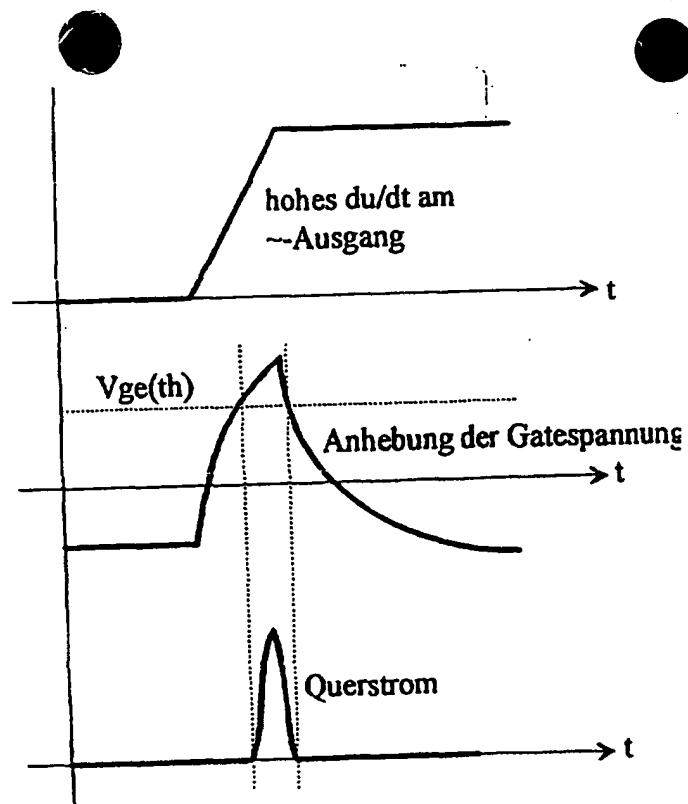


Fig. 1

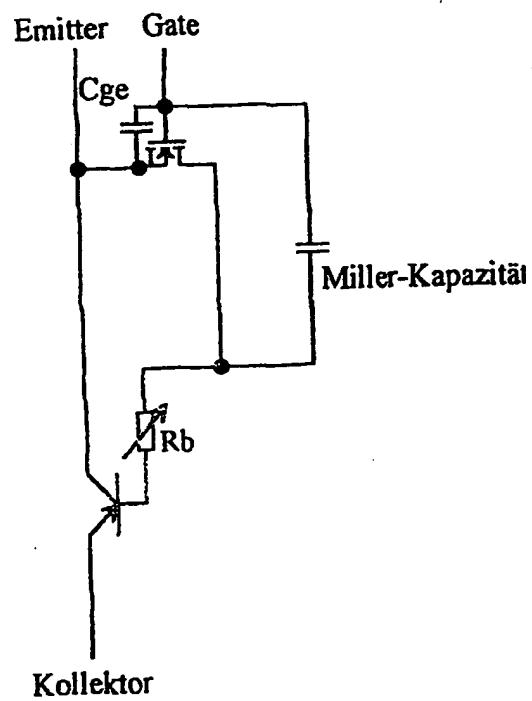


Fig. 2

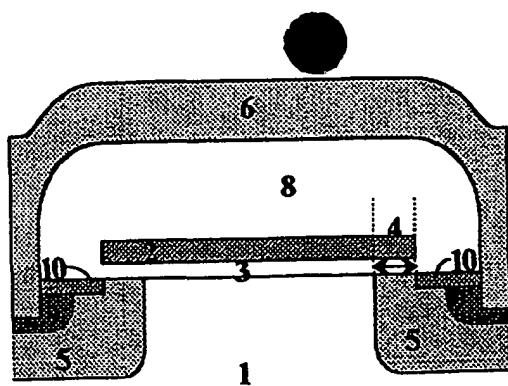


Fig. 3a

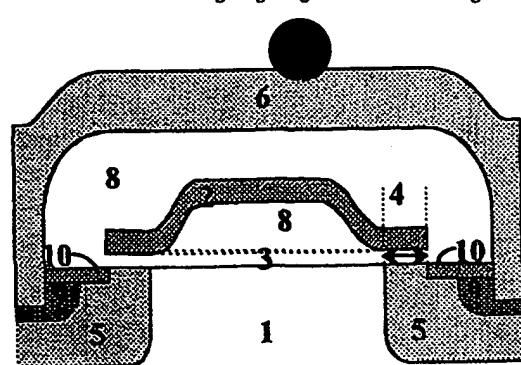


Fig. 3b

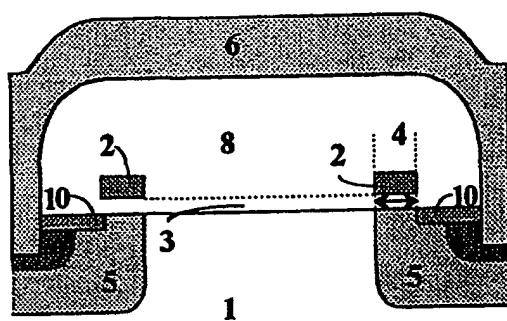


Fig. 4a

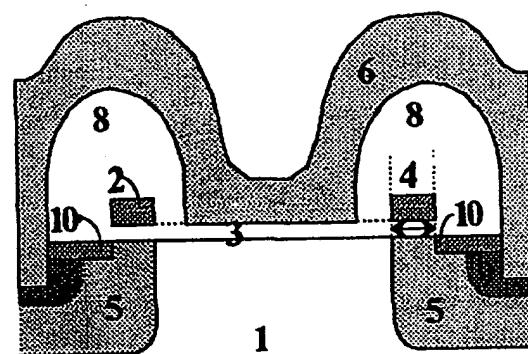


Fig. 4b

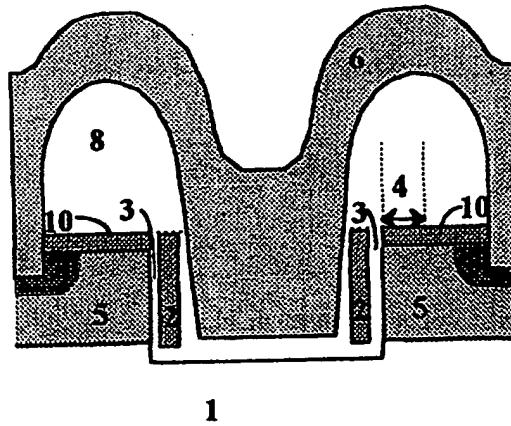


Fig. 4c

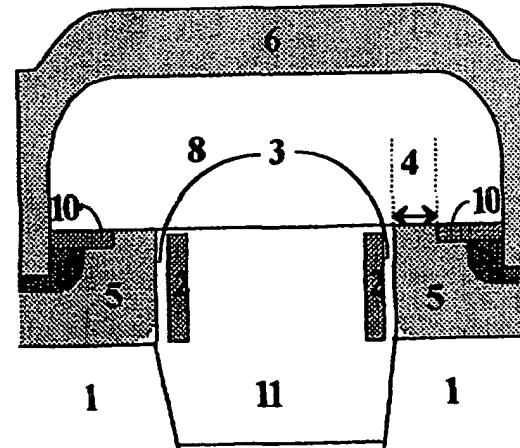


Fig. 4d

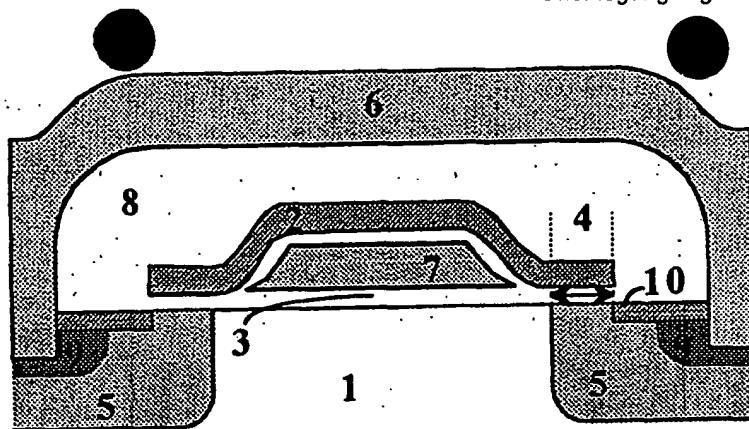


Fig. 5

BEST AVAILABLE COPY